



Docket No.: W&B-INF-1957

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: \_\_\_\_\_

Date: October 23, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/676,596  
Applicant : Peter Beer  
Filed : October 1, 2003  
Art Unit : to be assigned  
Examiner : to be assigned

Docket No. : W&B-INF-1957  
Customer No.: 24131

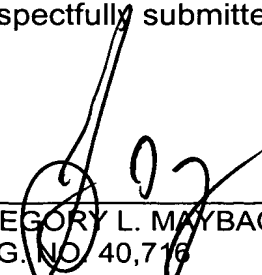
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 45 696.8 filed October 1, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,716

Date: October 23, 2003

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 45 696.8

**Anmeldetag:** 01. Oktober 2002

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Bezeichnung:** Speicherschaltung und Verfahren zum Auslesen von  
Daten

**IPC:** G 11 C 29/00

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 02. Oktober 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

A handwritten signature in black ink, consisting of a stylized 'D' followed by a star-like symbol.

102 45 696.8

## Beschreibung

## Speicherschaltung und Verfahren zum Auslesen von Daten

Die Erfindung betrifft eine Speicherschaltung, mit einem zu  
5 testenden Speicherzellenfeld. Die Erfindung betrifft weiterhin ein Verfahren zum Auslesen von Daten aus einer Speicherschaltung, insbesondere beim Testen der Speicherschaltung.

Dynamische Halbleiterspeicher weisen ein Speicherzellenfeld  
10 auf, bei dem Speicherzellen über Wortleitungen und Bitleitungen adressierbar sind. Die Speicherzellen umfassen im Wesentlichen eine Speicherkapazität, die durch die Aktivierung einer Wortleitung schaltbar mit der jeweiligen Bitleitung verbunden wird, so dass die Ladung der Kapazität der entsprechenden Bitleitung hinzugefügt wird. Die Bitleitungen sind in  
15 Paaren organisiert, wobei durch Aktivieren einer Wortleitung nur eine Speicherkapazität an einer der beiden Leitungen des Bitleitungspaares angelegt wird. Dadurch entsteht eine Ladungsdifferenz zwischen den Bitleitungen des Bitleitungspaares, die mit Hilfe eines primären Ausleseverstärkers verstärkt wird und einem sekundären Ausleseverstärker zur Verfügung gestellt wird. Dabei bilden mehrere primäre Ausleseverstärker eine Gruppe und sind jeweils über eine Schalteinrichtung mit dem sekundären Ausleseverstärker verbunden. Je nach  
20 anliegender Auslesezadresse wird eine der Schalteinrichtungen aktiviert, um das von dem jeweiligen primären Ausleseverstärker ausgelesene Datum an den sekundären Ausleseverstärker anzulegen. Das an dem sekundären Ausleseverstärker anliegende Datum kann dann übernommen werden.

Dynamische Halbleiterspeicher (DRAM) müssen nach ihrer Produktion umfangreich gemäß vorgegebener Spezifikationen getestet werden. Insbesondere wird ein Test ausgeführt, bei dem  
30 die Zeitspanne zwischen dem Anlegen des Wortleitungsaktivierungssignals, dem RAS-Signal, und dem Anlegen des Bitleitungsaktivierungssignals, dem CAS-Signal, mit dem der primäre

Ausleseverstärker mit dem sekundären Ausleseverstärker verbunden wird, gemäß einer vorgegebenen Spezifikation überprüft wird. Mit dem RAS-Signal wird die jeweils adressierte Wortleitung aktiviert, und das CAS-Signal bewirkt das Übernehmen  
5 des auszulesenden Datums von dem jeweiligen primären Ausleseverstärker in den sekundären Ausleseverstärker.

Das CAS-Signal dient dazu, das am Eingang des sekundären Ausleseverstärkers anliegende Signal zu übernehmen. Das Timing - TRCD (Timing-RAS-CAS-Delay) zwischen dem Aktivieren der Wortleitung,  
10 nach dem die Ladungsdifferenz auf den Bitleitungspaaren durch die primären Ausleseverstärker verstärkt wird und dem Anlegen des verstärkten Signals am Eingang des sekundären Ausleseverstärkers ist kritisch und muss der Spezifikation entsprechen.

15 Zum Testen dieses Timingparameters TRCD ist es notwendig, jede mögliche Adresse nacheinander zu überprüfen. D.h., man muss mit einer Burst-Länge von "1" und einem Fast\_X-Adressierungsmuster die Speicherzellen des Zellenfelds adressieren. Dies stellt eine sehr langsame Möglichkeit dar, das Speicherzellenfeld bezüglich des Timingparameters TRCD zu testen. Je  
20 nach Spezifikation des zu testenden DRAM-Speichers benötigt man so für eine Adresse sieben Taktzyklen.

Dies hat den Nachteil, dass beim Testen des TRCD-Timings alle Adressen des Speicherzellenfeldes nacheinander getestet werden  
25 müssen, so dass man zum Testen der Spezifikation dieses Parameters eine erhebliche Testzeit benötigt.

Es ist daher Aufgabe der vorliegenden Erfindung, eine Speicherschaltung zu schaffen, bei der insbesondere das Testen des TRCD-Timingparameters beschleunigt werden kann. Es ist  
30 weiterhin Aufgabe der vorliegenden Erfindung ein Verfahren zum Auslesen von Daten aus einer Speicherschaltung, insbesondere beim Testen der Speicherschaltung, zur Verfügung zu

stellen, mit dem das Testen der Speicherschaltung beschleunigt werden kann.

Diese Aufgabe wird durch die Speicherschaltung nach Anspruch 1 sowie durch das Verfahren nach Anspruch 7 gelöst.

- 5 Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Gemäß einem Aspekt der vorliegenden Erfindung ist eine Speicherschaltung mit einem zu testenden Speicherzellenfeld vorgesehen. Die Speicherzellen im Speicherzellenfeld werden über Wortleitungen und Bitleitungen adressiert. Daten sind gemäß einer Ausleseadresse aus den Speicherzellen über Bitleitungen mit Hilfe von primären Ausleseverstärkern auslesbar. Es sind sekundäre Ausleseverstärker vorgesehen, wobei jedem sekundären Ausleseverstärker eine Gruppe von primären Ausleseverstärkern zugeordnet ist. Die primären Ausleseverstärker einer Gruppe sind jeweils über Schalteinrichtungen mit einem der sekundären Ausleseverstärker verbindbar, um das Datum von einem der primären Ausleseverstärker über die durch die Ausleseadresse ausgewählte Schalteinrichtung an dem zugeordneten sekundären Ausleseverstärker anzulegen. Es ist eine Teststeuerereinheit vorgesehen, um zum Auslesen von Daten einen Teil der Schalteinrichtungen abhängig von einem Testmode-Signal und abhängig von einer Ausleseadresse parallel zu schalten, so dass jeweils einer aus der Gruppe der primären Ausleseverstärker mit den zugeordneten sekundären Ausleseverstärkern verbunden wird.

Die Erfindung macht sich zunutze, dass die sekundären Ausleseverstärker in der Regel bei Übernahme des an ihren Eingängen anliegenden Daten diese speichern können und zum Auslesen bereithalten. Beim Testen des TRCD-Timingparameters wird also nach dem Schreiben von Testmusterdaten in die Speicherschaltung zum Auslesen ein Testmode-Signal durch die Teststeuerereinheit zur Verfügung gestellt, so dass gemäß der Adresse je-

weils ein primärer Ausleseverstärker jeder Gruppe von primären Ausleseverstärkern mit dem jeweiligen sekundären Ausleseverstärker verbunden werden. Somit stehen nach dem Übernehmen der Daten an dem Eingang des sekundären Ausleseverstärkers, z. B. durch ein Sense-Signal an jedem sekundären Ausleseverstärker, Daten zum Auslesen zur Verfügung. Sind die Bitleitungen, die primären Ausleseverstärker, die Schalteinrichtungen und die sekundären Ausleseverstärker fehlerfrei, und arbeiten gemäß der Spezifikation, so können aus den sekundären Ausleseverstärkern die Testmusterdaten nacheinander ausgelesen werden.

Liegt die TRCD-Zeit über der geforderten Spezifikation, so konnten die primären Ausleseverstärker beim Übernehmen der Daten in die sekundären Ausleseverstärker das jeweilige Datum nicht rechtzeitig bzw. nicht in ausreichender Stärke an dem Eingang der sekundären Ausleseverstärker anlegen. Somit kann sich ein fehlerhaftes Datum in dem jeweiligen sekundären Ausleseverstärker befinden, wobei beim nachträglichen Auslesen der sekundären Ausleseverstärker erkannt wird, dass ein Fehler beim TRCD-Timing vorliegt.

Gegenüber bisherigen Speicherschaltungen hat die erfindungsgemäße Speicherschaltung den Vorteil, dass beim Testen des TRCD-Timings nicht jede Adresse nacheinander ausgelesen werden muss, sondern dass mehrere Adressen, gemäß der Anzahl der vorhandenen sekundären Ausleseverstärker, gleichzeitig in die sekundären Ausleseverstärker ausgelesen werden. Auf diese Weise lässt sich das Testverfahren bezüglich TRCD-Timings um einen Faktor, der der Anzahl der vorhandenen sekundären Ausleseverstärker entspricht, beschleunigen. Dies spart Testzeit und somit Kosten.

Es kann vorgesehen sein, dass die sekundären Ausleseverstärker gemäß einem Auslesesignal einzeln mit einem Datenbus verbindbar sind, um die Daten über den Datenbus nacheinander auszulesen. Die sekundären Ausleseverstärker sind dabei vor-

zugsweise einzeln ansteuerbar bzw. adressierbar, so dass die Daten auf den Datenbus nacheinander anlegbar sind. Dies kann beispielsweise durch ein von einem Bitleitungsadressdecodierer bereitgestelltes Adressierungssignal erfolgen.

- 5 Die sekundären Ausleseverstärker weisen zum Übernehmen der Daten von den ersten Ausleseverstärkern jeweils einen Aktivierungseingang auf, an den vorzugsweise ein Sense-Signal angelegt wird. Das Sense-Signal bestimmt den Zeitpunkt der Übernahme der Daten von den primären Ausleseverstärkern.
- 10 Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Auslesen von Daten aus einer Speicherschaltung vorgesehen, insbesondere beim Testen der Speicherschaltung. Die Speicherzellen sind dabei über Wortleitungen und Bitleitungen adressierbar, wobei Daten gemäß einer Auslesee-
- 15 resse aus Speicherzellen über Bitleitungen mit Hilfe von primären Ausleseverstärkern ausgelesen werden. Jedem sekundären Ausleseverstärker ist eine Gruppe von primären Ausleseverstärkern zugeordnet. Die primären Ausleseverstärker einer Gruppe werden schaltbar mit einem der sekundären Auslese-
- 20 verstärker verbunden, um das Datum von einem der primären Ausleseverstärker an den zugeordneten sekundären Ausleseverstärker anzulegen. Abhängig von einem Testmode-Signal und abhängig von der Ausleseeadresse werden gleichzeitig Daten an die sekundären Ausleseverstärker von jeweils einem primären Aus-
- 25 severstärker aus der Gruppe der primären Ausleseverstärker angelegt.

- Das erfindungsgemäße Verfahren ermöglicht das schnellere Testen einer Speicherschaltung bezüglich des TRCD-Timingparameters. Dazu werden bei Vorliegen eines Testmode-Signals nicht
- 30 wie bisher üblich nur ein primärer Ausleseverstärker mit dem zugeordneten sekundären Ausleseverstärker verbunden, sondern jeweils ein primärer Ausleseverstärker einer Gruppe dem jeweils zugeordneten sekundären Ausleseverstärkern. Auf diese Weise stehen bei Fehlerfreiheit nicht nur ein Datum zum Aus-

lesen zur Verfügung, sondern Daten aus mehreren Adressen der Speicherschaltung an den sekundären Ausleseverstärkern zur Verfügung.

Eine bevorzugte Ausführungsform der Erfindung wird im Folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Fig. 1 schematisch der Aufbau eines Speicherzellenfeldes gemäß dem Stand der Technik;

Fig. 2 einen Ausschnitt aus dem Speicherzellenfeld nach Fig. 1 gemäß dem Stand der Technik;

Fig. 3 einen Ausschnitt der Speicherschaltung gemäß einer Ausführungsform der Erfindung; und

Fig. 4a, 4b Signalverläufe für das Spaltenauswahlsignal CSL und das Sense-Signal SENSE.

In Fig. 1 ist ein Ausschnitt einer Speicherschaltung gemäß dem Stand der Technik dargestellt. Die Speicherschaltung weist zwei nebeneinander angeordnete Speicherzellenfelder 1 auf, die Speicherzellen (nicht gezeigt) enthalten, die über Wortleitungen 2 und Bitleitungen 3a, 3b adressierbar sind. Die Wortleitungen 2 sind mit einem Wortleistungsdecoder 4 verbunden, um eine der Wortleitungen 2 gemäß einer Wortleistungsadresse zu aktivieren. Zur besseren Übersichtlichkeit sind nur vier Wortleitungen 2 dargestellt, pro Speicherzellenfeld 1 sind jedoch mehr als vier Wortleitungen, üblicherweise mehrere 1000 Wortleitungen, vorhanden.

Die Bitleitungen 3a, 3b sind in Bitleitungspaaren 3 organisiert, an deren einem Ende ein primärer Ausleseverstärker 5 angeordnet ist.

Wenn eine Wortleitung 2 aktiviert wird, so werden die Speicherkapazitäten der Speicherzellen mit jeweils einer der Bitleitungen 3a, 3b eines Bitleitungspaars 3 verbunden. Es entsteht jeweils ein geringer Ladungsunterschied auf den Bitleitungen 3a, 3b eines Bitleitungspaars 3, der durch den primä-



ren Ausleseverstärker 5 verstärkt wird. Die Polarität des Ladungsunterschiedes entspricht der gespeicherten Information der Speicherzelle.

Die primären Ausleseverstärker 5 sind so an beiden Seiten des Speicherzellenfeldes 1 angeordnet, das die primären Ausleseverstärker 5 für nebeneinander liegende Bitleitungspaare jeweils an gegenüberliegenden Seiten des jeweiligen Speicherzellenfeldes 1 liegen, d. h. jedes zweite Bitleitungspaar 3 ist mit primären Ausleseverstärkern auf einer Seite verbunden. Die zwischen den beiden Speicherzellenfeldern 1 liegenden primären Ausleseverstärker 5 dienen zum Auslesen von Bitleitungen 3a, 3b in beiden Speicherzellenfeldern 1.

Die Speicherschaltung weist weiterhin sekundäre Ausleseverstärker 6 auf, die jeweils einer Gruppe von Bitleitungspaaren 3 zugeordnet sind. Die sekundären Ausleseverstärker 6 verstärken und speichern das von den primären Ausleseverstärkern 5 ausgelesene Datum und sind über Datenleitungen 7 auslesbar. Die Bitleitungen 3a, 3b werden dazu jeweils über eine Schalteinrichtung mit den zugehörigen sekundären Ausleseverstärkern 6 verbunden.

In Fig. 2 ist vergrößert die Schalteinrichtung zum Auslesen von Daten über einen sekundären Ausleseverstärker 6 dargestellt. In Fig. 2 ist aus Gründen der Übersichtlichkeit nur die Schalteinrichtung auf der linken Seite des linken Speicherzellenfeldes 1 der Fig. 1 dargestellt. Die primären Ausleseverstärker 5 sind jeweils mit einer Schalteinrichtung 8 verbunden, um abhängig von einer Bitleitungsadresse BA die verstärkte Ladungsdifferenz aus dem primären Ausleseverstärker 5 auf ein Auslesedatenleitungspaar 9 anzulegen.

Um die jeweilige Schalteinrichtung 8 anzusteuern, sind Bitleitungsadressdecodierer 10 vorgesehen, die abhängig von der angelegten Bitleitungsadresse BA ein Spaltenauswahlsignal CSL generieren. Das Spaltenauswahlsignal CSL wird dann auf die

jeweils mit dem Bitleitungsadressdecodierer 10 verbundene Spaltenauswahlleitung 11 angelegt. Die Bitleitungsadressdecodierer 10 sind mit einer Steuereinheit 11 verbunden, um die Bitleitungsadressdecodierer 10 gemäß einer Bitleitungsadresse so zu aktivieren, dass eine der Spaltenauswahlleitungen 11 eine der Schalteinrichtungen 8 schließt.

Der sekundäre Ausleseverstärker 6 dient dazu, dass auf dem Auslesedatenleitungspaar 9 anliegende Datum zu übernehmen und an die Datenausgangsleitungen anzulegen. Das Übernehmen der Daten von dem Auslesedatenleitungspaar 9 erfolgt mit Hilfe eines Sense-Signals, dass von der Steuereinheit 14 generiert wird. Das Sense-Signal ist im wesentlichen abhängig von dem Bitleitungsadressierungssignal (CAS-Signal), mit dem eine gültige Bitleitungsadresse übernommen wird und welches den Zeitpunkt bestimmt, zu dem die Daten von dem Bitleitungspaar 3 in den sekundären Ausleseverstärker 6 übernommen werden sollen.

Der sekundäre Ausleseverstärker 6 ist so gestaltet, dass er ein Halteelement (nicht gezeigt) aufweist, dass das mit dem Sense-Signal übernommene Datum speichert. Das Halteelement speichert das übernommene Datum solange, wie das Sense-Signal aktiv ist. Gleichzeitig stoppt das Sense-Signal den Precharge-Vorgang.

Der sekundäre Ausleseverstärker 6 übernimmt die Daten aus dem Auslesedatenleitungspaar 9 über ein Master-Datenleitungspaar 13. Weiterhin ist der sekundäre Ausleseverstärker 6 mit Datenausgangsleitungen 7 verbunden, an die das in dem Halteelement des sekundären Ausleseverstärkers 6 gespeicherte Datum abhängig von einem Adressierungssignal ausgegeben wird. Das Adressierungssignal wird von einem weiteren Bitleitungsdecodierer 17 zur Verfügung gestellt, und bewirkt, dass das in dem Halteelement des sekundären Ausleseverstärkers 6 gespeicherte Signal an die Datenausgangsleitung 7 ausgegeben wird.

Vorzugsweise wird die Bitleitungsadresse BA in einen höherwertigen Teil und einen niederwertigen Teil unterschieden. Während die Spaltenauswahlleitung 11 mit dem höherwertigen und dem niederwertigen Teil der Bitleitungsadresse BA durch den Bitleitungsadressdekoder 10 ausgewählt werden, werden die sekundären Ausleseverstärker 6 nur mit Hilfe der höherwertigen Bitleitungsadressen BA durch den weiteren Bitleitungsdekoder 17 zum Auslesen ausgewählt.

Das Auslesedatenleitungspaar 9 ist schaltbar jeweils über einen Segmentschalter 12 mit dem Master-Datenleitungspaar 13 verbunden. Der Segmentschalter 12 wird über den höherwertigen Teil der Wortleitungsadresse angesteuert, der angibt, aus welchem der Speicherzellenfelder 1 die Daten ausgelesen werden sollen. Aus Gründen der Übersichtlichkeit ist die Ansteuerung für den Segmentschalter 12 nicht dargestellt.

In der Fig. 2 ist dargestellt, dass nur das obere Master-Datenleitungspaar 13 über Segmentschalter 12 mit dem Auslesedatenleitungspaar 9 verbunden ist. Das untere Master-Datenleitungspaar 13 ist über weitere Segmentschalter mit einem weiteren Auslesedatenleitungspaar des weiteren in Figur 1 gezeigten Speicherzellenfeldes 1 verbunden.

Aus Gründen der Übersichtlichkeit ist nur ein linker Teil eines Speicherzellenfeldes 1 dargestellt. Am rechten Rand des dargestellten Speicherzellenfeldes 1 ist eine vergleichbare Anordnung vorgesehen, d.h. jedes zweite Bitleitungspaar ist mit einem weiteren primären Ausleseverstärker am rechten Rand verbunden, der schaltbar über weitere Schaltvorrichtungen mit einem weiteren Auslesedatenleitungspaar verbunden ist. Das weitere Auslesedatenleitungspaar ist über Segmentschalter mit dem unteren Master-Datenleitungspaar 13 verbindbar.

Der Wortleitungsadressdecodierer 4 hat einen RAS-Eingang für ein RAS-Signal und einen Wortleitungsadresseingang für eine Wortleitungsadresse WA. Beim Auslesen des Inhalts einer Spei-

cherzelle wird zunächst eine Wortleitungsadresse WA an den Wortleitungsadressdecodierer 4 angelegt und decodiert und anschließend oder gleichzeitig mit Hilfe des RAS-Signals die entsprechende Wortleitung 2 aktiviert. Damit werden alle Speichertransistoren an der aktivierten Wortleitung durchgeschaltet und die Speicherkapazitäten der sich an der Wortleitung befindlichen Speicherzellen auf jeweils eine der Bitleitungen 3a, 3b der entsprechenden Bitleitungspaare 3 angelegt. Durch die primären Ausleseverstärker 5 wird der dadurch entstehende Ladungsunterschied auf den Bitleitungspaaren 3 verstärkt. Die verstärkte Spannungsdifferenz liegt dann an den Schalteinrichtungen 8 an.

Die Bitleitungsadresse BA bestimmt, welche der Spaltenauswahlleitungen 11 aktiviert wird. Das aktivierte Spaltenauswahlsignal CSL auf den Spaltenauswahlleitungen 11 schaltet die mit der betreffenden Spaltenauswahlleitung 11 angesteuerte Schalteinrichtung 8 durch, so dass die Spannungsdifferenz auf das Auslesedatenleitungspaar 9 angelegt wird. Da die Spaltenauswahlleitungen 11 sich im Wesentlichen über mehrere bzw. alle Speicherzellenfelder 1 erstrecken, liegt somit auf den adressierten Auslesedatenleitungspaaren 9 jedes Speicherzellenfeldes 1 ein Datum an. Um nur das adressierte Datum auszulesen, wird über einen höherwertigen Teil der Wortleitungsadresse WA das entsprechende Speicherzellenfeld 1 mit Hilfe der Segmentschalter 12 ausgewählt, und das Datum auf dem entsprechenden Auslesedatenleitungspaar 9 auf das Master-Datenleitungspaar 13 angelegt.

Beim Testen des TRCD-Timingparameters wird überprüft, ob das Auslesen jeder Speicherzelle innerhalb einer bestimmten durch die Spezifikation vorgegebenen Zeit erfolgen kann, d.h. ob die Zeit, von der Adressierung der Speicherzelle mit Hilfe des RAS-Signals bis zum fehlerfreien Auslesen des darin gespeicherten Datums in den sekundären Ausleseverstärker 6 innerhalb der geforderten Spezifikation bleibt. Diese Zeit ist bestimmt durch die Zeitspanne zwischen dem Anlegen des RAS-

Signals und dem Anlegen des CAS-Signals, bei der das Datum fehlerfrei ausgelesen werden kann.

Durch das Aktivieren des RAS-Signals wird die adressierte Wortleitung aktiviert, und es werden die Ladungen aus den aufgeschalteten Speicherkapazitäten der Speicherzellen auf eine der Bitleitungen der Bitleitungspaare 3 angelegt und diese durch den primären Ausleseverstärker 5 verstärkt. Das CAS-Signal aktiviert die Bitleitungsadresse BA, so dass die durch die Bitleitungsadresse BA ausgewählte Schalteinrichtung 8 auf Durchlass geschaltet wird, so dass das entsprechende Datensignal auf den Auslesedatenleitungspaaren 9 und damit über die adressierten Segmentschalter 12 an den Eingängen der adressierten sekundären Ausleseverstärker 6 liegt. Erfolgt das Durchschalten der Schalteinrichtung 8 zu früh, so wird das Verstärken des Ladungsunterschiedes durch den primären Ausleseverstärker 5 aufgrund der stark erhöhten Leitungskapazität gestört, so dass entweder keine oder eine fehlerhafte Verstärkung erfolgt.

Beim Testen einer solchen Speicherschaltung muss jede Adresse hinsichtlich des TRCD-Timingparameters getestet werden, so dass nach Auslesen einer Adresse zunächst ein Ladungsausgleich zwischen den Bitleitungen 3a, 3b eines Bitleitungspaares 3 durchgeführt werden muss, bevor der nächste Auslesevorgang beginnen kann. Anschließend wird die Adresse inkrementiert und die nächste Adresse bezüglich des TRCD-Timings getestet. Zuvor sind in die Speicherschaltung Daten hineingeschrieben worden, dass beim Auslesen von aufeinander folgenden Adressen die Spannungsdifferenz auf dem Datenpfad, d.h. auf dem Auslesedatenleitungspaar 9 und auf dem Master-Datenleitungspaar 13 jedes Mal gekippt werden muss, so dass jede Leitung der Datenleitungspaare eine Umladung von einem High- auf Low- bzw. Low- auf High-Pegel erfährt.

In Fig. 3 ist ein Ausschnitt einer bevorzugten Ausführungsform der erfindungsgemäßen Speicherschaltung dargestellt. Die

erfindungsgemäße Speicherschaltung unterscheidet sich im Wesentlichen von den bisher bekannten Speicherschaltungen dadurch, dass die Steuereinheit 14 einen Testeingang für ein Testmode-Signal TM aufweist.

- 5 Die Steuereinheit 14 dient dazu, die Bitleitungsadressdecodierer 10 und den weiteren Bitleitungsadressdecodierer 17, die jeweils einem sekundären Ausleseverstärker 6 zugeordnet sind, gemäß einer Bitleitungsadresse BA anzusteuern. Das Decodieren der Bitleitungsadresse BA kann auch teilweise be-
- 10 reits in der Steuereinheit 14 erfolgen. Wird durch das Testmode-Signal TM ein Testmodus angezeigt, so werden die höherwertigen Bitleitungsadressbits, die für die Auswahl der Bitleitungsgruppe, die einen sekundären Ausleseverstärker 6 zugeordnet sind, verantwortlich sind, ausgesetzt und hart auf
- 15 gültig gesetzt. Dadurch wird erreicht, dass für jeden sekundären Ausleseverstärker 8 eine der Schalteinrichtungen schaltet und eines der Bitleitungspaare 3 jeweils mit einem der sekundären Ausleseverstärker 6 verbindet.

- Des weiteren bewirkt das Testmode-Signal TM, dass das Sense-
- 20 Signal an den sekundären Ausleseverstärkern 6 solange anliegt, bis jeder der sekundären Ausleseverstärker 6 über die Datenausgangsleitungen 7 nacheinander ausgelesen worden ist. Dies ist im Vergleich in Figur 4a und Figur 4b dargestellt.

- Figur 4a zeigt die Signalverläufe des Spaltenauswahlsignals
- 25 CSL und des Sense-Signals SENSE. Das Spaltenauswahlsignals CSL wird zu einer bestimmten Zeit aktiviert und nach Verlauf einer weiteren Zeitdauer das Sense-Signal SENSE aktiviert, um die an dem Master-Datenleitungspaar 13 anliegenden Daten in den sekundären Ausleseverstärker 6 zu übernehmen. Beide Sig-
- 30 nale werden zurückgesetzt und damit sowohl die Schalteinrichtung 8 als auch die Segmentschalter 12 geöffnet, wenn das auszulesende Datum über die Datenausgangsleitungen aus dem sekundären Ausleseverstärker 6 ausgelesen worden sind.

Liegt das Testmode-Signal an, so wird das Sense-Signal SENSE länger im aktiven Zustand gehalten, nämlich solange, bis alle auszulesende sekundären Ausleseverstärker 6 bzw. deren Halteelemente nacheinander ausgelesen worden sind.

- 5 Das Testmode-Signal TM wird aktiviert, wenn ein Auslesen in einem TRCD-Timing-Testvorgang durchgeführt werden soll. Das Testmode-Signal TM bewirkt, dass in jedem Bitleitungsadressdecodierer 10 die höherwertigen Bits der Bitleitungsadresse maskiert, d.h. ignoriert, werden, so dass in jeder einem sekundären Ausleseverstärker 6 zugeordneten Gruppe von Bitleitungspaaren 3, ein Datum von jeweils einem der Bitleitungspaare der Gruppe über die durch den jeweiligen Bitleitungsadressdecodierer 10 aktivierten Schalteinrichtung 8 an das Auslesedatenleitungspaar 9 und über die Segmentschalter 12 an das entsprechende Master-Datenleitungspaar 13 durchgeschaltet wird. Mit Hilfe des Sense-Signals SENSE, das jedem der sekundären Ausleseverstärker 6 von der Steuereinheit 14 zur Verfügung gestellt ist, werden die jeweils an allen sekundären Ausleseverstärkern 6 über das Master-Datenleitungspaar 13 anliegenden Daten gleichzeitig in die sekundären Ausleseverstärker 6 übernommen.

- Damit die sekundären Ausleseverstärker 6 nicht gleichzeitig die ausgelesenen Daten auf die Datenausgangsleitungspaare 7 treiben, werden die sekundären Ausleseverstärker 6 über die weiteren Bitleitungsdecodierer 17 adressiert, so dass das Auslesen von Daten aus den sekundären Ausleseverstärkern 6 seriell gesteuert durch die Steuereinheit 14 erfolgen kann. Dies kann beispielsweise erfolgen, indem der höherwertige Teil der Bitleitungsadresse BA blockiert wird und durch nacheinander erfolgende Inkrementieren die Bitleitungsadresse BA hochgezählt wird, so dass nacheinander die einzelnen sekundären Ausleseverstärker 6 adressiert werden.

Die Bitleitungsadressdecodierer 10, die mit den Spaltenauswahlleitungen 11 verbunden sind, werden im Normalbetrieb über

die anliegende Bitleitungsadresse BA angesteuert. Ist das Testmode-Signal TM aktiviert, so werden die höherwertigen Bitleitungsadressbits, die für die Auswahl der Bitleitungsgruppe, die einem sekundären Ausleseverstärker 6 zugeordnet sind, verantwortlich sind, ausgesetzt und hart auf "gültig" gesetzt. Dadurch wird in jeder Gruppe ein, durch die niederwertigen Bitleitungsadressbits ausgewählte Spaltenauswahlleitung 11 aktiv. Somit wird in allen Gruppen von Bitleitungen 3a, 3b parallel ein Datum ausgelesen. Das Testmode-Signal TM bewirkt, dass das Sense-Signal SENSE an jedem der sekundären Ausleseverstärker 6 angelegt bleibt, bis alle in den sekundären Ausleseverstärker 6 gespeicherte Daten ausgelesen worden sind. Außerdem werden die Bitleitungsadressdecoder 10 durch die Steuereinheit 14 solange für alle weiteren Aktivierungen gesperrt.

Der Testzeitgewinn lässt sich folgendermaßen abschätzen: Bei angenommenen 16 Gruppen von Bitleitungen, die jeweils mit einem sekundären Ausleseverstärker 6 verbunden sind, benötigt der TRCD-Test für je eine Adresse pro Speicherzellenfeld 1 7 Taktzyklen. Dies entspricht  $16 \times 7 = 112$  Taktzyklen. Mit der erfindungsgemäßen Speicherschaltung werden die 7 Taktzyklen nur einmal benötigt. Das weitere Auslesen kann dann mit einer Adresse pro Taktzyklus vorgenommen werden. Dies entspricht  $16 + 7 = 23$  Taktzyklen.

25 Mit zunehmender Speicherdichte wird die Zahl der Gruppen und Speicherzellenfelder erhöht, jedoch bleibt die Speicherkapazität gleich. Somit kann die Zeit für den TRCD-Test prozentual immer weiter verkürzt werden.



## Patentansprüche

1. Speicherschaltung mit einem zu testenden Speicherzellenfeld,

5 wobei Speicherzellen im Speicherzellenfeld über Wortleitungen (2) und Bitleitungen (3) adressierbar sind,

wobei Daten gemäß einer Ausleseadresse aus Speicherzellen über Bitleitungen (3) mit Hilfe von primären Ausleseverstärkern (5) auslesbar sind,

10 wobei sekundäre Ausleseverstärker (6) vorgesehen sind, die jeweils einen Haltespeicher umfassen,

wobei jedem sekundären Ausleseverstärker (6) eine Gruppe von primären Ausleseverstärkern (5) zugeordnet ist,

15 wobei die primären Ausleseverstärker (5) einer Gruppe jeweils über Schalteinrichtungen (8, 12) mit einem der sekundären Ausleseverstärker (6) verbindbar sind, um das Datum von einem der primären Ausleseverstärker (5) über die durch die Ausleseadresse ausgewählte Schalteinrichtung (8, 12) an dem zugeordneten sekundären Ausleseverstärker (6) anzulegen,

20 d a d u r c h g e k e n n z e i c h n e t,

25 dass eine Teststeuereinheit (14) vorgesehen ist, um zum Auslesen von Daten ein Teil der Schalteinrichtungen (8, 12) abhängig von einem Testmode-Signal und abhängig von einer Ausleseadresse parallel zu schalten, so dass jeweils einer aus der Gruppe der primären Ausleseverstärker (5) mit den zugeordneten sekundären Ausleseverstärkern (6) verbunden wird.

2. Speicherschaltung nach Anspruch 1, dadurch gekennzeichnet, dass die sekundären Ausleseverstärker (6) gemäß einem Auslesesignal einzeln mit einem Datenbus (7) verbindbar sind,  
30 um die Daten über den Datenbus (7) nacheinander auszulesen.

3. Speicherschaltung nach einem der Ansprüche 1 bis 2, dadurch gekennzeichnet, dass die sekundären Ausleseverstärker (6) jeweils einen Aktivierungseingang (EN) aufweisen, um das Übernehmen der Daten von dem jeweils angelegten primären Aus-

leseverstärker (5) gemäß einem Aktivierungssignal durchzuführen.

4. Speicherschaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass ein Adressdecoder (10) vorgesehen ist, der mit mindestens einer der Schalteinrichtungen (8, 12) verbunden ist, um mindestens eine Schalteinrichtung (8, 12) gemäß einer Adresse auszuwählen.

10 5. Speicherschaltung nach Anspruch 4, dadurch gekennzeichnet, dass der Adressdecoder (10) einen Eingang aufweist, an den das Testmode-Signal anlegbar ist, wobei abhängig von dem Testmode-Signal nur ein Teil der an den Adressdecoder (10) angelegten Adresse für die Auswahl der Schalteinrichtung (8, 12) berücksichtigt wird.

15 6. Speicherschaltung nach Anspruch 5, dadurch gekennzeichnet, dass der berücksichtigte Teil der angelegten Adresse niederwertigen Adressbits entspricht.

20 7. Verfahren zum Auslesen von Daten aus einer Speicherschaltung, insbesondere beim Testen der Speicherschaltung, wobei Speicherzellen über Wortleitungen (2) und Bitleitungen (3) adressierbar sind, wobei Daten gemäß einer Ausleseadresse aus Speicherzellen über Bitleitungen (3) mit Hilfe von primären Ausleseverstärkern (5) ausgelesen werden, wobei jedem sekundären Ausleseverstärker (6) eine Gruppe von primären Ausleseverstärkern (5) zugeordnet ist, 25 wobei die primären Ausleseverstärker (5) einer Gruppe jeweils schaltbar mit einem der sekundären Ausleseverstärker (6) verbunden werden, um das Datum von einem der primären Ausleseverstärker (5) an dem zugeordneten sekundären Ausleseverstärker (6) anzulegen, 30 d a d u r c h g e k e n n z e i c h n e t, dass abhängig von einem Testmode-Signal und abhängig von der Ausleseadresse gleichzeitig Daten an die sekundären Auslese-

verstärker (6) von jeweils einem primären Ausleseverstärker (5) aus der Gruppe der primären Ausleseverstärker (5) angelegt werden.

8. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass  
5 die Daten von den sekundären Ausleseverstärkern (6) nacheinander ausgelesen werden.

## Zusammenfassung

## Speicherschaltung und Verfahren zum Auslesen von Daten

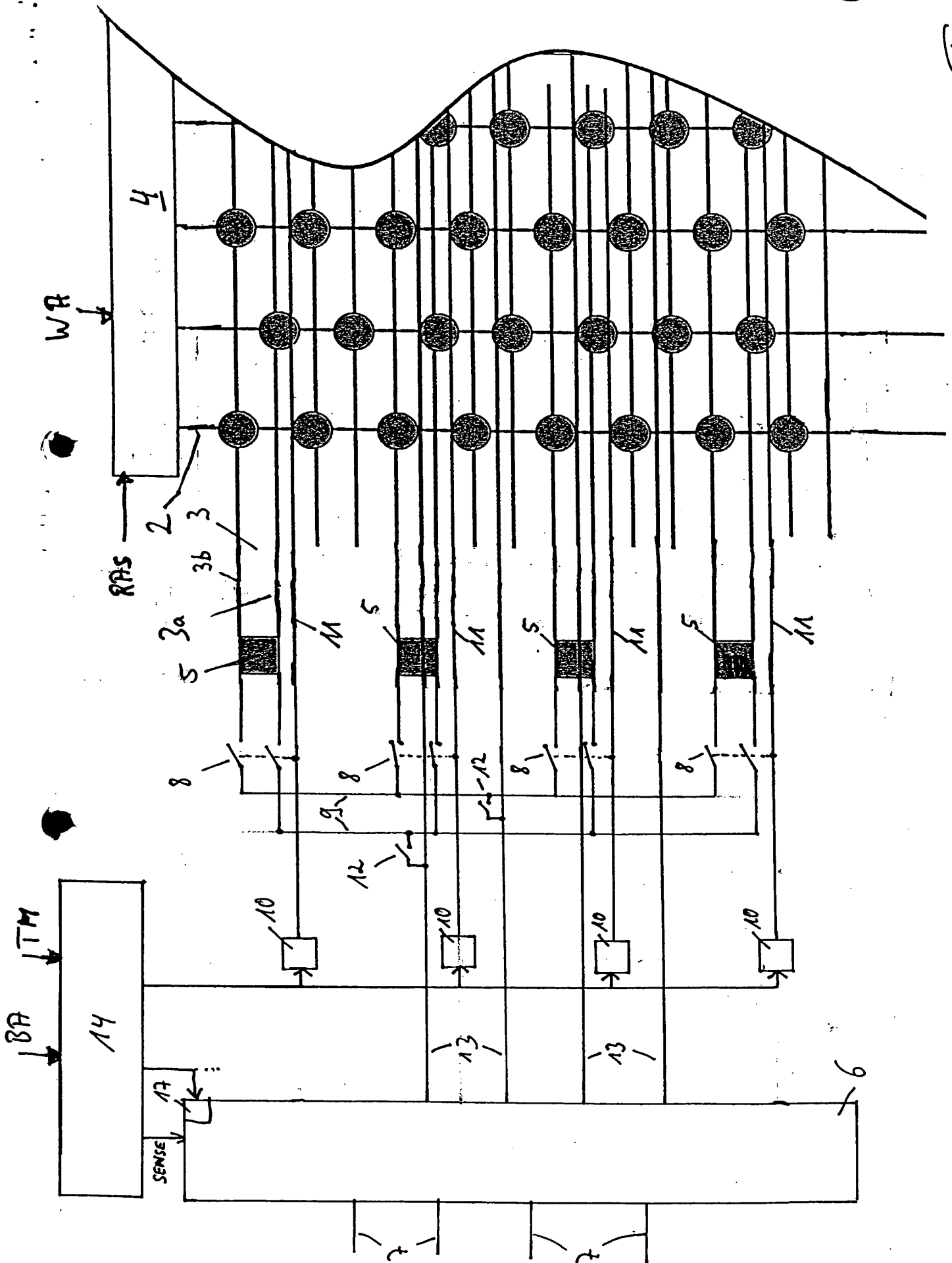
Speicherschaltung mit einem zu testenden Speicherzellenfeld, wobei Speicherzellen im Speicherzellenfeld über Wortleitungen (2) und Bitleitungen (3) adressierbar sind, wobei Daten gemäß einer Ausleseadresse aus Speicherzellen über Bitleitungen (3) mit Hilfe von primären Ausleseverstärkern (5) auslesbar sind, wobei jedem sekundären Ausleseverstärker (6) eine Gruppe von primären Ausleseverstärkern (5) zugeordnet ist, wobei die primären Ausleseverstärker (5) einer Gruppe jeweils über Schalteinrichtungen (8, 12) mit einem der sekundären Ausleseverstärker (6) verbindbar sind, um das Datum von einem der primären Ausleseverstärker (5) über die durch die Ausleseadresse ausgewählte Schalteinrichtung (8, 12) an dem zugeordneten sekundären Ausleseverstärker (6) anzulegen, dadurch gekennzeichnet, dass eine Teststeuereinheit (14) vorgesehen ist, um zum Auslesen von Daten ein Teil der Schalteinrichtungen (8, 12) abhängig von einem Testmode-Signal und abhängig von einer Ausleseadresse parallel zu schalten, so dass jeweils einer aus der Gruppe der primären Ausleseverstärker (5) mit den zugeordneten sekundären Ausleseverstärkern (6) verbunden wird.

25

Figur 3

Figur für die Zusammenfassung

Fig. 3



## Bezugszeichenliste

	1	Speicherzellenfeld
	2	Wortleitung
	3	Bitleitung
5	4	Wortleitungsadressdecoder
	5	primärer Ausleseverstärker
	6	sekundärer Ausleseverstärker
	7	Datenausgangsleitungspaare
	8	Schalteinrichtung
10	9	Auslesedatenleitungspaar
	10	Bitleitungsadressdecoder
	11	Spaltenauswahlleitung
	12	Segmentschalter
	13	Master-Datenleitungspaar
15	14	Steuereinheit
	15	Testmode-Signalleitung
	17	weiterer Bitleitungsadressdecoder

1/4

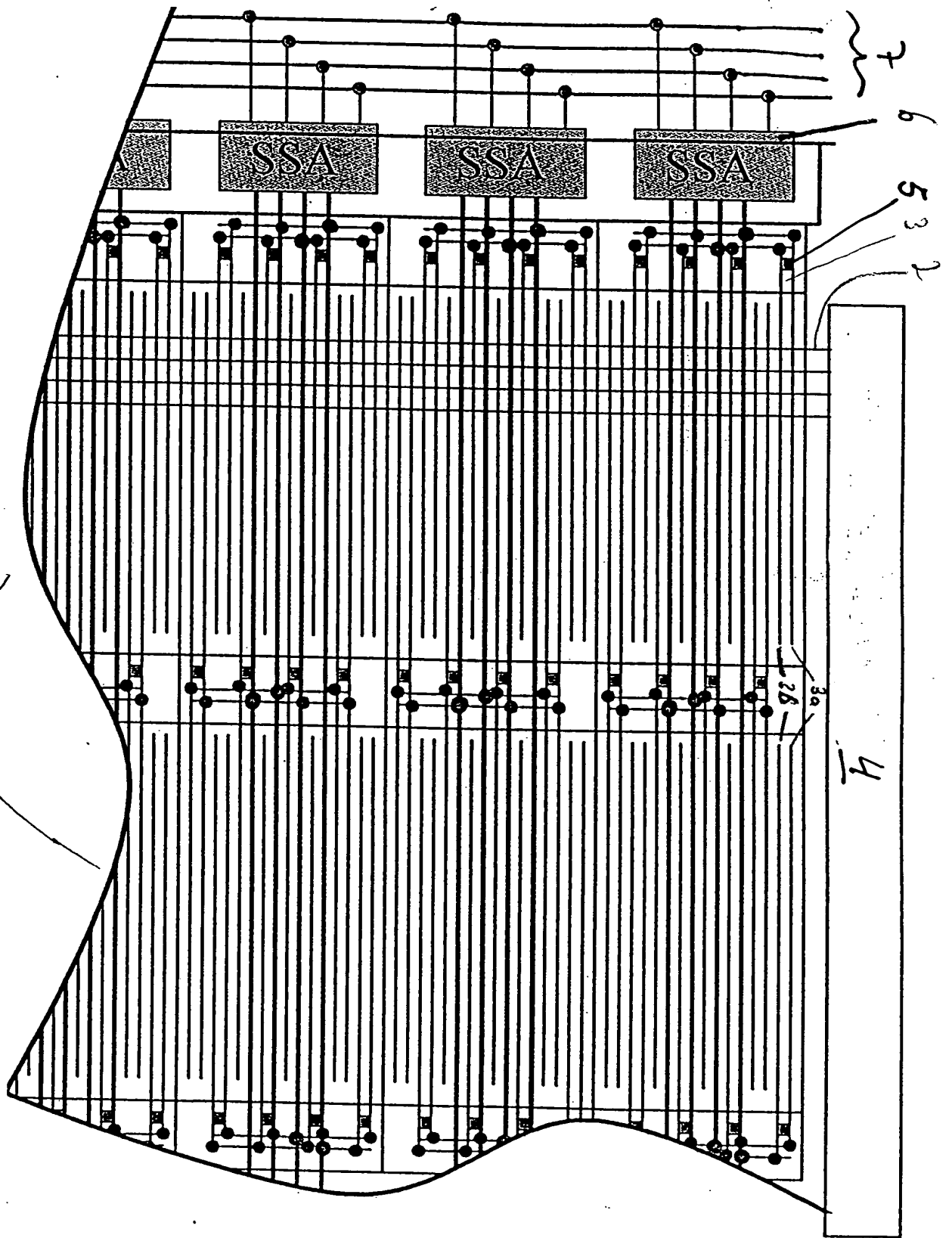
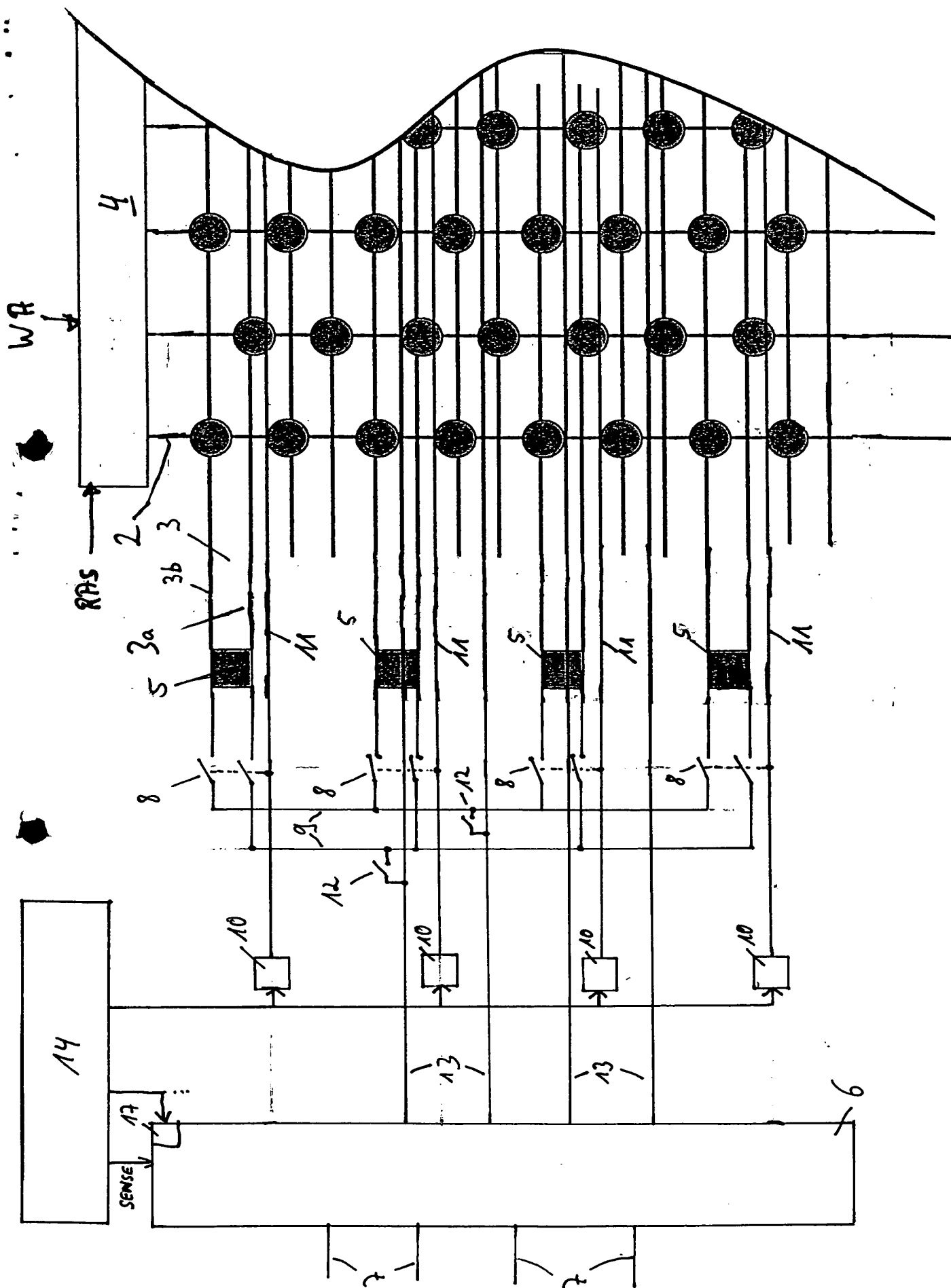


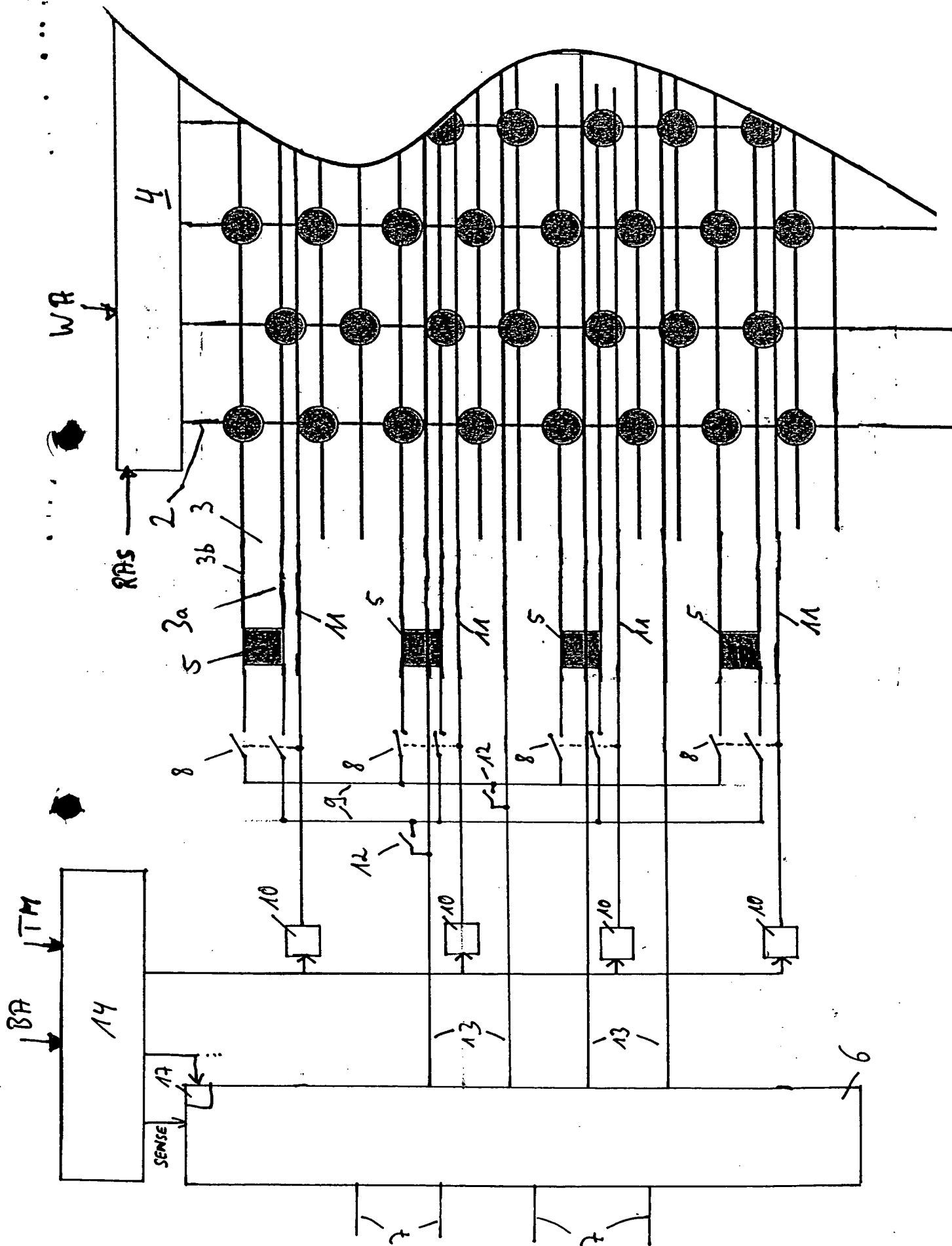
Fig. 1

2/4

Fig. 2







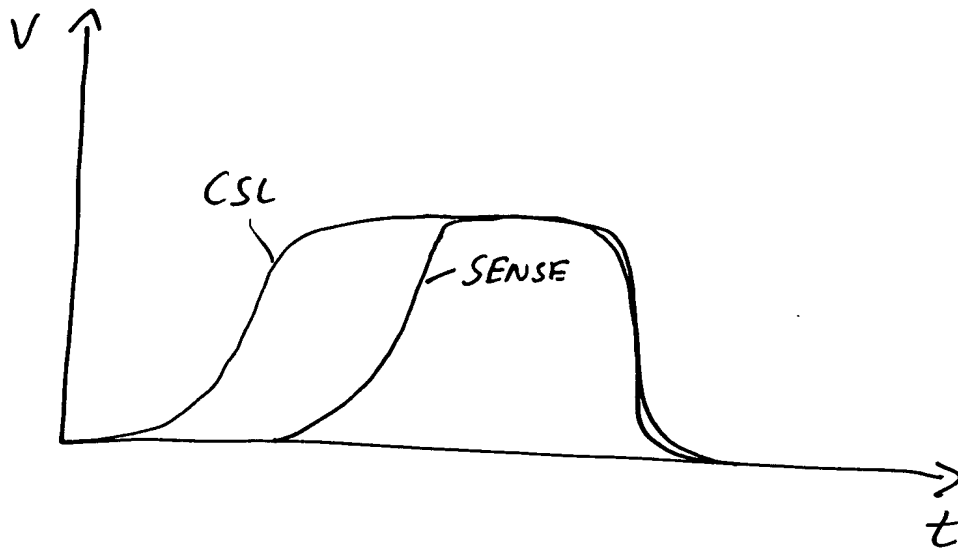


Fig. 4a

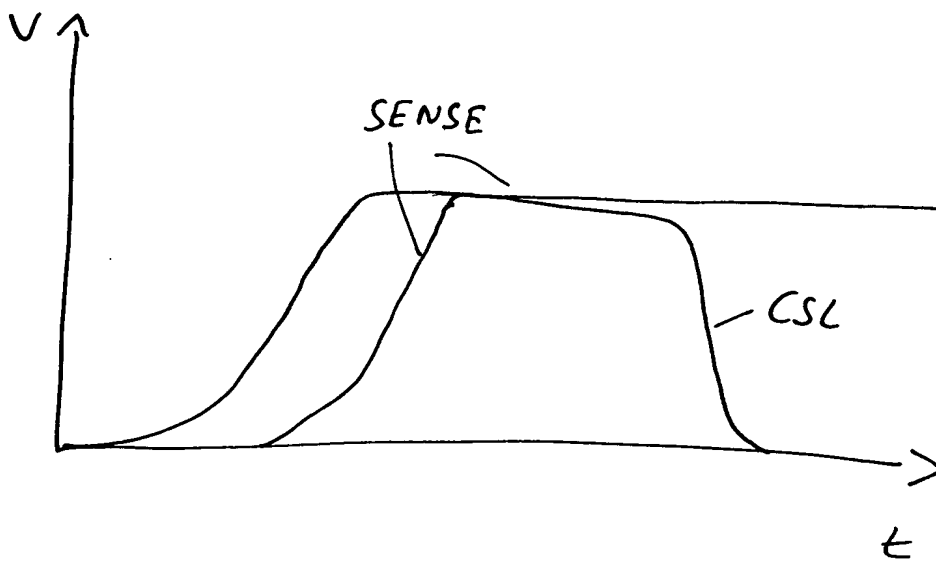


Fig. 4b